

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-166223

(43)Date of publication of application : 16.06.2000

(51)Int.Cl.

H02M 3/155

(21)Application number : 10-341988

(71)Applicant : MOTOROLA JAPAN LTD

(22)Date of filing : 01.12.1998

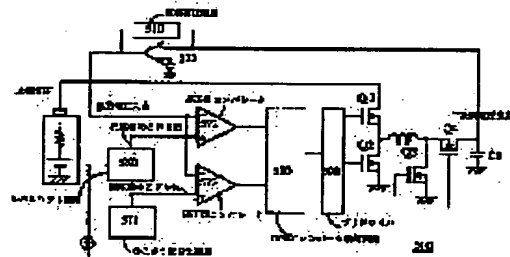
(72)Inventor : TAKAGI HIDETOSHI
HASHIMOTO TSUTOMU

(54) STEP-UP/DOWN DC/DC CONVERTER

(57)Abstract:

PROBLEM TO BE SOLVED: To minimize voltage at which a step-up sawtooth waveform and a step-down sawtooth waveform cross, by comparing the first and second sawtooth waveforms of the first and second sawtooth waveform generating circuits with an error voltage signal, and generating a step-up/down control signal corresponding to the results of its comparative result on a DC/DC converter control circuit.

SOLUTION: The first sawtooth waveform generating circuit 571 receives a current source and a synchronous clock, and outputs the first sawtooth waveform to a step-down side comparator 573. A level shift circuit 550 generates the second sawtooth waveform whose prescribed voltage value is shifted to the first sawtooth waveform, and outputs it to a step-up side comparator 572. The step-up/down comparators 572, 573 compare the first and second sawtooth waveform with an error voltage signal from a comparator 511 respectively, and output the comparative results to a DC/DC converter control circuit 580 to generate a step-up/down control signal.



LEGAL STATUS

[Date of request for examination] 10.08.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3190914

[Date of registration] 25.05.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-166223

(P2000-166223A)

(43) 公開日 平成12年6月16日 (2000. 6. 16)

(51) IntCl.

H 0 2 M 3/155

識別記号

F I

H 0 2 M 3/155

テーマコード(参考)

H 5 H 7 3 0

F

審査請求 有 請求項の数 6 O L (全 8 頁)

(21) 出願番号 特願平10-341988

(22) 出願日 平成10年12月1日 (1998. 12. 1)

(71) 出願人 000230308

モトローラ株式会社

東京都港区南麻布3丁目20番1号

(72) 発明者 高木 秀敏

東京都港区南麻布3丁目20番1号 モトローラ株式会社内

(72) 発明者 橋本 励

東京都港区南麻布3丁目20番1号 モトローラ株式会社内

(74) 代理人 100091214

弁理士 大貫 進介 (外1名)

Fターム(参考) 5H730 AA04 AA14 AS04 AS05 BB13

BB14 BB57 DD04 EE14 FD01

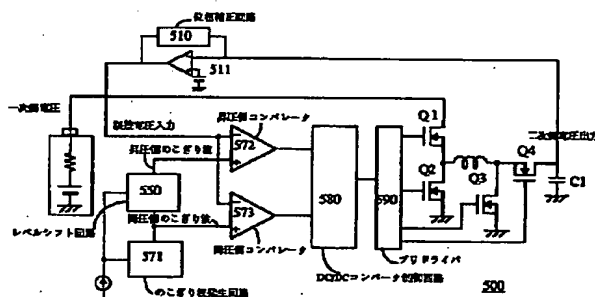
FF02 FG05

(54) 【発明の名称】 昇降圧型DC/DCコンバータ

(57) 【要約】

【課題】 二次側出力の精度が高く、効率の高い昇降圧型DC/DCコンバータを提供する。

【解決手段】 のこぎり波を発生する降圧側のこぎり波発生回路と、降圧側のこぎり波に同期し、所定の電圧値だけシフトした昇圧側のこぎり波を生成する昇圧側のこぎり波発生回路を設け、誤差電圧と各のこぎり波を比較し、昇圧/昇降圧/降圧を切り換える昇降圧型DC/DCコンバータによって実現される。



【特許請求の範囲】

【請求項1】 一次側電圧を受ける入力端子と、所定の二次側電圧を出力する出力端子とを有する昇降圧型DC/DCコンバータであって：

A) 前記一次側電圧を受け、前記出力端子において所定の二次側電圧が生ずるよう制御する昇降圧制御部であって：

A1) 電流源および同期クロックを受け、第1のこぎり波を発生する第1のこぎり波発生回路；

A2) 前記電流源および同期クロックを受け、前記第1のこぎり波に対して少なくとも所定の電圧値シフトした第2のこぎり波を生成する第2のこぎり波発生回路；

A3) 前記二次側電圧と基準電圧を比較した誤差電圧信号および前記第1のこぎり波を受け、前記誤差電圧信号と前記第1のこぎり波を比較し、第1比較出力を出力する第1比較器；

A4) 前記誤差電圧信号および前記第2のこぎり波を受け、前記誤差電圧信号と前記第2のこぎり波を比較し、第2比較出力を出力する第2比較器；および

A5) 前記第1比較器および第2比較器に結合され、前記第1および第2比較出力に応答する昇降圧部制御信号を生成するDC/DCコンバータ制御回路； から成る昇降圧制御部；ならびに

B) 前記昇降圧部制御信号に応答して所定の二次側電圧を出力する昇降圧部昇降圧部；から構成されることを特徴とする昇降圧型DC/DCコンバータ。

【請求項2】 第2のこぎり波発生回路がレベルシフト回路から構成されることを特徴とする請求項1記載の昇降圧型DC/DCコンバータ。

【請求項3】 最小幅の昇圧用パルスと最小幅の降圧用パルスが互いに発生できるようにレベルに前記第1のこぎり波と第2のこぎり波のクロス電圧を選択することを特徴とする請求項1または2記載の昇降圧型DC/DCコンバータ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は一般にDC/DCコンバータに関し、さらに詳細には昇降圧型DC/DCコンバータに関する。

【0002】

【従来の技術】 図1には、従来技術による昇降圧型DC/DCコンバータ100を示す簡略回路図である（以下、「従来技術1」という）。DC/DCコンバータ100は、一次側電圧を受ける入力端子と、所定の二次側電圧を出力する出力端子とを有し、PWM制御部と昇降圧部から構成される。PWM制御部は、コンパレータ171、昇降圧切り換え回路170、DC/DCコンバータ制御回路180、ブリドライバ190を含む。コンパレータが一次側電圧 V_{in} と V_{ref} を比較して、一次側電圧 V_{in} が基準電圧 V_{ref} を上回ると昇降圧切り

換え信号をハイにする。DC/DCコンバータ制御回路は、昇降圧切り換え信号に応答してブリドライバを介してスイッチング信号を昇降圧部に出力する。スイッチング信号は、昇降圧切り換え回路を降圧に切り換え、出力端子に所望の二次側電圧出力 V_{out} を出力する。一次側電圧 V_{in} が V_{ref} を下回ると昇降圧切り換え信号をローにする。DC/DCコンバータ制御回路は、昇降圧切り換え信号に応答してブリドライバを介してスイッチング信号を昇降圧部に出力する。スイッチング信号は、昇降圧切り換え回路を昇圧に切り換え、出力端子に所望の二次側電圧出力 V_{out} を出力する。昇降圧部は、PWM制御部に結合され、降圧部(Q1, Q2)と昇圧部(Q3, Q4)を含む。

【0003】 従来技術1では一次側電圧 V_{in} と基準電圧 V_{ref} を比較して昇降圧切り換え信号を作り、昇圧/降圧を切り換えていたため、一次側電源に電池などを使用した場合に昇降圧を切り換えるとDC/DCコンバータの起動電流と電池の内部インピーダンスにより一次側電圧が変動するという問題点があった。

【0004】 また、一次側電圧 V_{in} が変動して V_{ref} を上回ると、昇降圧切り換え信号が反転する。また、昇降圧部に流れ込む電流が変化すると二次側負荷が変動する。二次側負荷が変動すると二次側電圧が変化する。このように短時間に一次側電圧と二次側負荷が変動すると、昇圧と降圧の切り換えが繰り返し発生するのでDC/DCコンバータは発振状態になり二次側電圧が挙動不安定になるという問題点があった。

【0005】 また、負荷が急に変動した場合も上記と同様に昇降圧切り換え信号が反転し、DC/DCコンバータは発振状態になり二次側電圧が挙動不安定になるという問題点があった。

【0006】 さらに、高効率でかつ二次側電圧を安定化させるためには高精度の昇降圧切り換え回路が必要であり経済性が低いという問題点があった。

【0007】 このような問題点を解決する方法として、二次側電圧出力からフィードバックする帰還ループ内にレベルシフト回路を設け誤差電圧をシフトさせて昇圧/昇降圧/降圧のモードを切り換える回路が考えられた。

【0008】 図2は、そのような誤差電圧をレベルシフトさせ昇圧/昇降圧/降圧のモードを切り換える昇降圧型DC/DCコンバータ200を示す従来技術による簡略回路図である（以下、「従来技術2」という）。DC/DCコンバータ200は、一次側電圧を受ける入力端子と、所定の二次側電圧を出力する出力端子とを有し、PWM制御部と昇降圧部から構成される。PWM制御部は、位相補正回路210、コンパレータ211、レベルシフト回路220、のこぎり波発生回路271、昇圧側コンパレータ272、降圧側コンパレータ273、DC/DCコンバータ制御回路280、ブリドライバ290を含む。

【0009】図3は、従来技術2による昇降圧型DC/DCコンバータ200ののこぎり波と誤差信号と昇降圧パルスとの関係を示す図である。

【0010】図2と図3を参照して、DC/DCコンバータ200の動作を簡単に説明する。二次側電圧と基準電圧を比較して生成した昇圧側誤差電圧信号を昇圧型コンパレータに与える。さらに、レベルシフト回路でその昇圧側誤差電圧信号をシフトアップさせた降圧側誤差信号を降圧型コンパレータに与える。昇圧型および降圧型コンパレータは、共に同一ののこぎり波発生回路からのこぎり波を受ける。のこぎり波が昇圧側誤差信号より低いときは、昇圧回路を動作させるモード切り換え信号(Dup)をDC/DCコンバータ制御回路に出力する(昇圧モード)。のこぎり波が降圧側誤差信号より高いときは、降圧回路を動作させるモード切り換え信号(Ddn)をDC/DCコンバータ制御回路に出力する(降圧モード)。のこぎり波が昇圧側誤差信号と降圧側誤差電圧との間にあるときは、昇圧回路と降圧回路を同時の動作させるモード切り換え信号をDC/DCコンバータ制御回路に出力する(昇降圧モード)。この回路で、従来技術1の問題点は解決が可能である。

【0011】

【解決すべき課題】しかし、DC/DCコンバータ200では、次の新たな問題点が生じる。DC/DCコンバータ200はフィードバックする帰還ループ内にレベルシフト回路を設け誤差電圧をシフトさせて、昇圧/昇降圧/降圧を切り換える。誤差電圧をレベルシフトさせることにより、レベルシフトで位相差の影響を受ける。位相差の影響を受けた誤差信号と、影響を受けない理想的な誤差信号とでは、図3に示すように信号レベル自体に相違が生じる(同一時間で不一致)。これは、タイミングの遅延は生じると、のこぎり波の波形と誤差信号の接点が左右だけでなく上下にも移動し信号レベル自体に相違が生じるためである。信号レベル自体に相違が生じると、図3のDdnとDdn'に示すようにデューティが異なってしまう。Voutとデューティの関係は、 $V_{out} = V_{in} (Ddn' + 1 / (1 - Dup))$ なので、Voutが本来と異なり、設定電圧に達するまでに二次側電圧が不安定となる問題点がある。

【0012】さらに、デューティが異なるため、昇圧側・降圧側誤差信号のマージン(昇降圧同時動作部分)を大きくする必要が生じ、電源変換効率が悪化するという問題点がある。

【0013】図4には、DC/DCコンバータの位相補償と利得の関係を示すグラフである。

【0014】誤差信号の位相を補正するため、位相補正回路を帰還ループに付加する方法がある。一般に位相特性は高周波になるにしたがい不安定となる。また帰還ループ内の回路(例えば、レベルシフト回路等)による位相特性の乱れの影響を受けるので、その様な回路が多い

程、系全体が不安定となる。そのため、安定した帰還をかける目的で位相補正によって高周波のゲインを落として安定性を確保するため、ポールを低い周波数に設定する必要がある。これにより、系全体の応答性が低下するため、一次側/二次側の電圧変動に対して追従スピードが遅くなり良好な二次側出力を得づらいという問題点が生じる。特に昇降圧を繰り返すモードにおいてのこぎり波のゲインの高い部分(のこぎり波のエッジ部分)でさらに不安定となり二次側電圧を不安定とする問題点がある。

【0015】したがって、本発明の一目的は、短時間に一次側電圧と二次側負荷が変動した場合も二次側電圧が挙動が安定した信頼性の高いDC/DCコンバータを提供することである。

【0016】本発明の一目的は、位相特性の悪化によるデューティ変化を生じさせることなく、どのモードにおいても二次側出力電圧の安定したDC/DCコンバータを提供することである。

【0017】本発明の一目的は、昇圧用ののこぎり波と降圧用ののこぎり波のクロスする電圧(Vcrs)を最小にすることにより、電源変換効率の良好なDC/DCコンバータを提供することである。

【0018】

【課題を解決するための手段】前記のおよびその他の目的は、一次側電圧を受ける入力端子と、所定の二次側電圧を出力する出力端子とを有する昇降圧型DC/DCコンバータであって、一次側電圧を受け、出力端子において所定の二次側電圧が生ずるよう制御する昇降圧制御部であって、電流源および同期クロックを受け、第1のこぎり波を発生する第1のこぎり波発生回路と、電流源および同期クロックを受け、第1のこぎり波に対して少なくとも所定の電圧値シフトした第2のこぎり波を生成する第2のこぎり波発生回路と、二次側電圧と基準電圧を比較した誤差電圧信号および第1のこぎり波を受け、誤差電圧信号と前記第1のこぎり波を比較し、第1比較出力を出力する第1比較器と、誤差電圧信号および第2のこぎり波を受け、誤差電圧信号と前記第2のこぎり波を比較し、第2比較出力を出力する第2比較器と、第1比較器および第2比較器に結合され、第1および第2比較出力にตอบสนองする昇降圧部制御信号を生成するDC/DCコンバータ制御回路、から成る昇降圧制御部、ならびに昇降圧部制御信号にตอบสนองして所定の二次側電圧を出力する昇降圧部昇降圧部、から構成されることを特徴とする昇降圧型DC/DCコンバータによって実現される。

【0019】

【実施例】図5は、本願の一実施例による昇降圧型DC/DCコンバータ500を示す簡略回路図である。DC/DCコンバータ500は、一次側電圧を受ける入力端子と、所定の二次側電圧を出力する出力端子とを有し、PWM制御部と昇降圧部から構成される。PWM制御部

は、位相補正回路510、電圧比較器511、レベルシフト回路550、のこぎり波発生回路571、昇圧側コンパレータ572、降圧側コンパレータ573、DC/DCコンバータ制御回路580、ブリドライバ590から構成される。位相補正回路510は、二次側電圧出力回路からの帰還ループに設けられ位相差を補正する。コンパレータ511は二次側電圧と基準電圧を比較し、誤差電圧信号を生成する。のこぎり波発生回路571は、電流源および同期クロックを受ける入力と降圧側ののこぎり波を出力する出力を有する。レベルシフト回路550は、のこぎり波発生回路と同一の電流源および同期クロックを受ける入力とのこぎり波発生回路から降圧側ののこぎり波を受ける入力と昇圧側ののこぎり波を出力する出力を有する。降圧側コンパレータは降圧側ののこぎり波を受ける入力と誤差信号を受ける入力と降圧モード切り換え信号(Ddn)をDC/DCコンバータ制御回路に出力する出力を有する。昇圧側コンパレータは昇圧側ののこぎり波を受ける入力と誤差信号を受ける入力と昇圧モード切り換え信号(Dup)をDC/DCコンバータ制御回路に出力する出力を有する。DC/DCコンバータ制御回路は、降圧側コンパレータと昇圧側コンパレータに結合された各入力とブリドライバ590に結合された出力を有する。ブリドライバ590は、DC/DCコンバータ制御回路に結合された入力と、昇降圧部に結合された出力を有する。

【0020】昇降圧部は降圧部(Q1, Q2)と昇圧部(Q3, Q4)から構成され、PWM制御部からのスイッチング信号にตอบสนองして昇降圧する。

【0021】図6は、昇降圧型DC/DCコンバータ200の昇圧/昇降圧/降圧のモードの切り換えを示す図である。

【0022】図5と図6を参照して本願一実施例による昇降圧型DC/DCコンバータ500の動作を説明する。コンパレータ511は二次側電圧と基準電圧を比較して誤差電圧信号を生成し、昇圧型および降圧型コンパレータに与える。電流源および同期クロックがのこぎり波発生回路とレベルシフト回路に供給される。レベルシフト回路とのこぎり波発生回路が同一の電流源および同期クロックに接続されるのでシフト量とのこぎり波の波高値は相対的に依存性を持つ。言い換えれば、たとえ、電流源が変動しても、レベルシフト回路とのこぎり波発生回路ののこぎり波は同じ波形で平行移動した関係を維持したまま変化するので、電流源の変動による影響は受けない。のこぎり波発生回路から降圧側ののこぎり波が降圧型コンパレータに供給される。またのこぎり波はレベルシフト回路にも供給され、所定の電圧だけシフトアップした昇圧側ののこぎり波が昇圧側コンパレータに供給される。昇圧型および降圧型コンパレータは、それぞれ、誤差信号と各のこぎり波を比較する。誤差信号が降圧側ののこぎり波の降圧モードのシフト電圧の範囲にある場合

は、降圧回路を動作させるモード切り換え信号(Ddn)をDC/DCコンバータ制御回路に出力する(降圧モード)。誤差信号が昇圧側ののこぎり波の昇圧モードのシフト電圧の範囲にある場合は、昇圧回路を動作させるモード切り換え信号(Dup)をDC/DCコンバータ制御回路に出力する(昇圧モード)。誤差信号が昇降圧モードのシフト電圧の範囲にある場合は、昇降圧回路を動作させるモード切り換え信号をDC/DCコンバータ制御回路に出力する(昇降圧モード)。モード切り換えについては、図7ないし9を参照して後程詳しく説明する。DC/DCコンバータ制御回路は、モード切り換え信号にตอบสนองして、スイッチング信号を生成する。ブリドライバはその昇降圧のスイッチング信号を昇降圧部に送る。

【0023】図7ないし図9に本願の一実施例による、降圧時/昇降圧時/降圧時の、のこぎり波と誤差信号の関係および昇降圧部のトランジスタの動作を示す図である。

【0024】図7は、DC/DCコンバータ500が降圧型DC/DCコンバータとして機能する場合である。誤差信号が所定の降圧モードのシフト電圧の範囲内(降圧側ののこぎり波の下エッジ部分)にあるとき、DC/DCコンバータ制御回路は降圧のスイッチング信号を昇降圧部に送る。その結果、Q2をロー、Q1をハイに切り換え、DC/DCコンバータ500が降圧型DC/DCコンバータとして機能する。

【0025】図8は、DC/DCコンバータ500が昇圧型DC/DCコンバータとして機能する場合である。誤差信号が所定の昇圧モードのシフト電圧の範囲内(昇圧側ののこぎり波の上エッジ部分)にあるとき、DC/DCコンバータ制御回路は降圧のスイッチング信号を昇降圧部に送る。その結果、Q4をハイ、Q3をローに切り換え、DC/DCコンバータ500が降圧型DC/DCコンバータとして機能する。

【0026】図9は、DC/DCコンバータ500が昇降圧型DC/DCコンバータとして機能する場合である。誤差信号が所定の昇降圧モードのシフト電圧の範囲内(降圧側ののこぎり波の上エッジ部分と昇圧側ののこぎり波の下エッジ部分)にあるとき、DC/DCコンバータ制御回路は昇降圧のスイッチング信号を昇降圧部に送る。その結果、Q1ないしQ4は所定のスイッチング動作となり、DC/DCコンバータ500が昇降圧部DC/DCコンバータとして機能する。

【0027】昇降圧部の動作は、従来の一般的な昇降圧回路と同一であるので、詳細な動作説明は省略する。

【0028】

【発明の効果】本願の一実施例によるのこぎり波をレベルシフトさせたDC/DCコンバータ500と従来技術2によるDC/DCコンバータ200との効果の相違を説明する。

【0029】まず、昇降圧を繰り返すモード時の二次側電圧の挙動について両者の相違点を説明する。従来技術2は図3にあるように、誤差電圧をレベルシフトさせた場合、位相差の影響を受けない理想的な誤差信号と、位相差の影響を受けた現実の誤差信号では、誤差信号の同一時間における信号レベルが一致しないため、 D_{dn} と D_{dn}' のデューティは相違する。この D_{dn}' のデューティが理想的なデューティ D_{dn} と相違することが最大の問題である。一方、本願の一実施例は、図6にあるように、のこぎり波は位相差による誤差は生じて、 D_{dn} と D_{dn}' のデューティは一致する。これは、位相差によりタイミングの遅延は生じるものの、それにより図3に示すようなのこぎり波の波形による信号レベル自体に相違が生じることがないためである。

【0030】次に、系全体の応答性についての両者の相違点を説明する。図2、図4、図5を参照されたい。従来技術2の場合、位相補正回路を帰還ループに付加するので、帰還系とレベルシフト回路の双方を補償する必要があるのに対し、本願実施例による場合は、帰還系の補償のみで良いので、補償値が少なくて済む。このことは、位相補償によって高周波のゲインを大幅におとすことなくポールを高い周波数に設定することが可能となる。図4では、従来技術2の場合は、ポールの位置を P' 程度まで低い周波数に設定する必要があるのに対し、本願実施例による場合は、位相補償が少ないため P'' の高い周波数に設定することが可能となる。これにより、系全体の応答性が良くなり、一次側/二次側の電圧変動に対する追従スピードの良好な二次側出力が得られる。

【0031】さらに、デューティが一致し、系全体の応答性が良いので、出力電圧も所望の電圧が出力でき、余分なマージンをとる必要もなく、昇圧用ののこぎり波と降圧用ののこぎり波のクロスする電圧(V_{crs})を最小にして昇降圧同時動作部分をほとんどゼロにすることができるので、電源変換効率が改善される。実施例では、図9を参照する。昇圧側ののこぎり波をシフトアップさせ、このシステムが発生できる最小幅の昇圧用パルスと最小幅の降圧用パルスが互いに発生できるようなレベルにのこぎり波のクロスする電圧を選ぶ。これが最小クロス電圧(V_{crs})である。もし、クロス電圧が発生しない場合は、二次側出力電圧はトランジスタのオン抵抗に依存するので負荷により変動してしまい、高い精度が得られない。一方、クロスさせる電圧を増加させてゆき昇降圧を繰り返す状態をあまりに長く設定すると効率が悪化し始めるので悪化させない範囲が最大値となる。この範囲にのこぎり波のクロス電圧を設定することが重要である。

【0032】従って、本発明は、従来技術1および2に対し以下に記載されるような効果を奏する。

【0033】本発明は、短時間に一次側電圧と二次側負

荷が変動した場合も二次側電圧が挙動しない信頼性の高いDC/DCコンバータを提供することができる。

【0034】本発明は、位相特性の悪化による影響によるデューティを変化させることなく、どのモードにおいても二次側出力電圧の安定したDC/DCコンバータを提供することができる。

【0035】本発明は、昇圧用ののこぎり波と降圧用ののこぎり波のクロスする電圧(V_{crs})を最小にすることにより、電源変換効率の向上したDC/DCコンバータを提供することができる。

【0036】本発明は、外部調整箇所がないためばらつきが少なく信頼性の高いDC/DCコンバータを提供することができる。

【0037】本発明は、応答性の向上したDC/DCコンバータを提供することができる。

【0038】本発明は、実施例2と比べて部品点数の増加なしで出力電圧の高精度が可能なDC/DCコンバータを提供することができる。

【0039】以上、本発明の特定の実施例に基づく回路について説明してきたが、当該技術分野に通じたものであれば本発明の範囲内で回路を変形、変更することができる。本発明はここで開示された特定の実施例に限定されるものではない。例えば、実施例ではPWM制御によるDC/DCコンバータについて説明したが、本発明はこれらのDC/DCコンバータに限定されるものではなく、PAM制御やPFM制御などの同期クロックに応答するものであればいかなる昇降圧型DC/DCコンバータにも適用可能である。また、のこぎり波発生回路に同期したのこぎり波を発生することができるのであれば、レベルシフト回路に限定されるものではない。また、昇降圧部の構造はここで開示された特定の実施例に限定されるものではない。これらの回路構成は当業者が成し得る回路変形、変更を含む。そのような変形、変更されたものも本発明の技術思想の範疇であり、特許請求の範囲に含まれるものである。

【0040】

【図面の簡単な説明】

【図1】従来技術1による、昇降圧型DC/DCコンバータ100を示す簡略回路図である。

【図2】従来技術2による、昇降圧型DC/DCコンバータ200を示す簡略回路図である。

【図3】従来技術2による、のこぎり波と誤差信号と昇降圧パルスの関係を示す図である。

【図4】DC/DCコンバータの位相補償と利得の関係を示すグラフである。

【図5】本願の一実施例による、昇降圧型DC/DCコンバータ500を示す簡略回路図である。

【図6】本願の一実施例による、のこぎり波と誤差信号と昇降圧パルスの関係を示す図である。

【図7】本願の一実施例による、降圧時の、のこぎり波

と誤差信号の関係および昇降圧部のトランジスタの動作を示す図である。

【図8】本願の一実施例による、昇圧時の、のこぎり波と誤差信号の関係および昇降圧部のトランジスタの動作を示す図である。

【図9】本願の一実施例による、昇降圧時の、のこぎり波と誤差信号の関係および昇降圧部のトランジスタの動作を示す図である。

【符号の説明】

170 電圧切り換え回路

171 コンパレータ

510, 210 位相補正回路

211, 511 コンパレータ

220, 550 レベルシフト回路

271, 571 のこぎり波発生回路

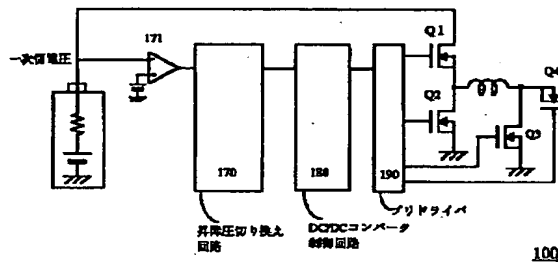
272, 572 昇圧側コンパレータ

273, 573 降圧側コンパレータ

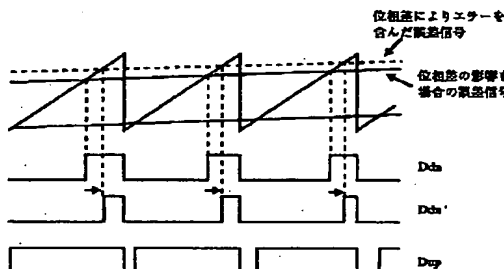
180, 280, 580 DC/DCコンバータ制御回路

190, 290, 590 ブリドライバ

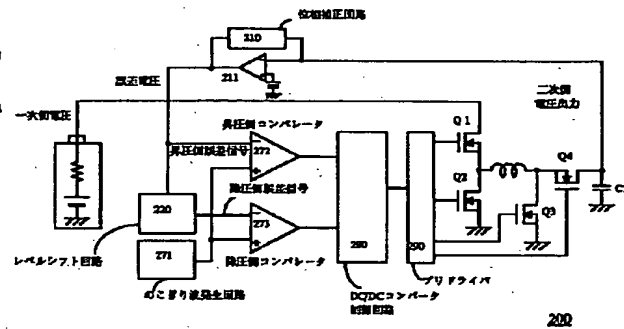
【図1】



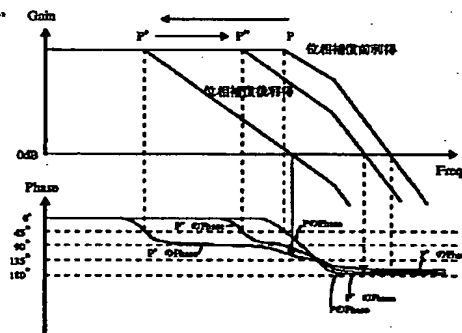
【図3】



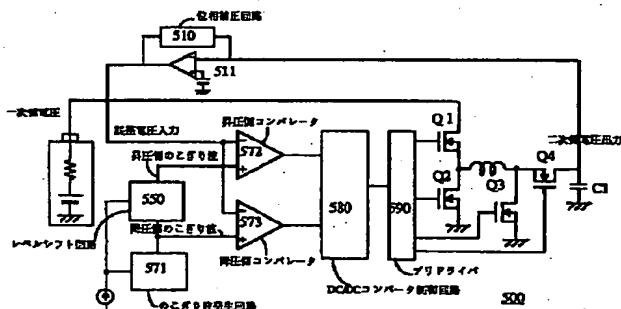
【図2】



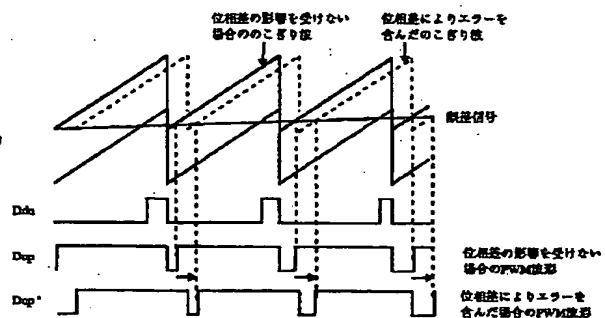
【図4】



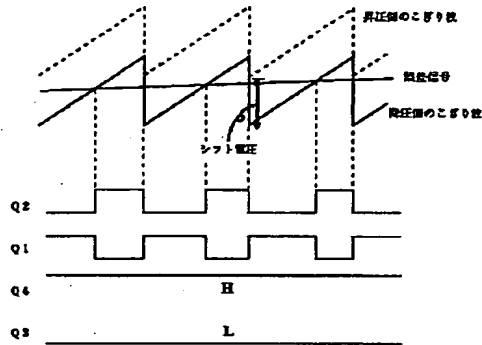
【図5】



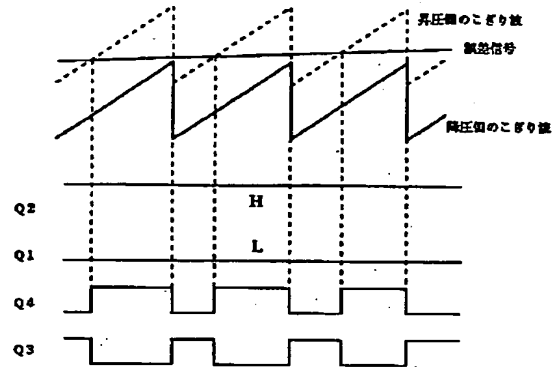
【図6】



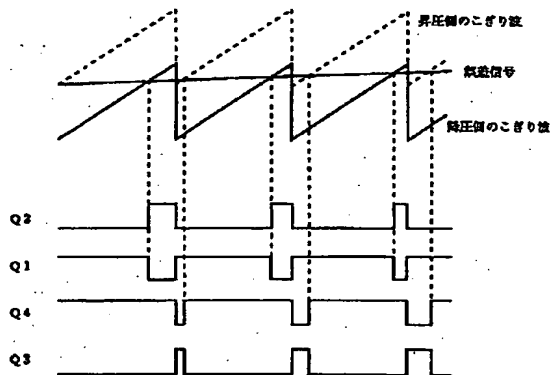
【図7】

(V_{err}:誤差電圧値、V_{saw}:のこぎり波の波高値)降圧型DC/DCコンバータ (0 ≤ V_{err} < シフト電圧)

【図8】

昇圧型DC/DCコンバータ (V_{saw} ≤ V_{err} < シフト電圧値 + V_{saw})

【図9】

昇降圧型DC/DCコンバータ (シフト電圧 ≤ V_{err} < V_{saw})

【手続補正書】

【提出日】平成11年8月10日(1999. 8. 10)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 一次側電圧を受ける入力端子と、所定の二次側電圧を出力する出力端子とを有する昇降圧型DC/DCコンバータであって：

A) 前記一次側電圧を受け、前記出力端子において所定の二次側電圧が生ずるよう制御する昇降圧制御部であって：

A1) 電流源および同期クロックを受け、第1のこぎり波を発生する第1のこぎり波発生回路；

A2) 前記電流源および同期クロックを受け、前記第1のこぎり波に対して少なくとも所定の電圧値シフトした第2のこぎり波を生成する第2のこぎり波発生回路；

A3) 前記二次側電圧と基準電圧を比較した誤差電圧信号および前記第1のこぎり波を受け、前記誤差電圧信号と前記第1のこぎり波を比較し、第1比較出力を出力する第1比較器；

A4) 前記誤差電圧信号および前記第2のこぎり波を受け、前記誤差電圧信号と前記第2のこぎり波を比較し、第2比較出力を出力する第2比較器；および

A5) 前記第1比較器および第2比較器に結合され、前記第1および第2比較出力に応答する昇降圧部制御信号

を生成するDC/DCコンバータ制御回路； から成る昇降圧制御部；ならびに

B) 前記昇降圧部制御信号に応答して所定の二次側電圧を出力する昇降圧部昇降圧部； から構成されることを特徴とする昇降圧型DC/DCコンバータ。

【請求項2】 第2のこぎり波発生回路がレベルシフト回路から構成されることを特徴とする請求項1記載の昇降圧型DC/DCコンバータ。

【請求項3】 最小幅の昇圧用パルスと最小幅の降圧用パルスが互いに発生できるようなレベルに前記第1のこぎり波と第2のこぎり波のクロス電圧を選択することを特徴とする請求項1または2記載の昇降圧型DC/DCコンバータ。

【請求項4】 前記第2のこぎり波発生回路が前記第1のこぎり波を所定の電圧シフトさせて降圧用の第2のこぎり波を生成することを特徴とする請求項1ないし3記載の昇降圧型DC/DCコンバータ。

【請求項5】 一次側電圧を受ける入力端子と、所定の二次側電圧を出力する出力端子とを有する昇降圧型DC/DCコンバータであって：第1のこぎり波を発生するのこぎり波発生回路；および前記第1のこぎり波に同期し、前記第1のこぎり波を所定の電圧値だけシフトした第2のこぎり波を生成するレベルシフト回路；を有する昇降圧型DC/DCコンバータであって、前記第1および第2のこぎり波を、前記二次側電圧と基準電圧を比較して生成した誤差電圧信号と比較して昇降圧を切り換えることを特徴とする昇降圧型DC/DCコンバータ。

【請求項6】 昇降圧型DC/DCコンバータに用いられるレベルシフト回路であって、当該レベルシフト回路は、のこぎり波発生回路から第1のこぎり波を受ける入力と、前記第1のこぎり波に同期した前記のこぎり波を所定の電圧値だけシフトした第2のこぎり波を出力する出力を有し、昇降圧の切替え用の基準信号として用いられる前記第2のこぎり波を生成するレベルシフト回路。

【手続補正書】

【提出日】平成11年11月8日(1999. 11. 8)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項1

【補正方法】変更

【補正内容】

【請求項1】 一次側電圧を受ける入力端子と、所定の二次側電圧を出力する出力端子とを有する昇降圧型DC/DCコンバータであって：

A) 前記一次側電圧を受け、前記出力端子において所定の二次側電圧が生ずるよう制御する昇降圧制御部であって：

A1) 電流源および同期クロックを受け、第1のこぎり波を発生する第1のこぎり波発生回路；

A2) 前記電流源および同期クロックを受け、前記第1のこぎり波に対して少なくとも所定の電圧値シフトした第2のこぎり波を生成する第2のこぎり波発生回路；

A3) 前記二次側電圧と基準電圧を比較した誤差電圧信号および前記第1のこぎり波を受け、前記誤差電圧信号と前記第1のこぎり波を比較し、第1比較出力を出力する第1比較器；

A4) 前記誤差電圧信号および前記第2のこぎり波を受け、前記誤差電圧信号と前記第2のこぎり波を比較し、第2比較出力を出力する第2比較器；および

A5) 前記第1比較器および第2比較器に結合され、前記第1および第2比較出力に応答する昇降圧部制御信号を生成するDC/DCコンバータ制御回路； から成る昇降圧制御部；ならびに

B) 前記昇降圧部制御信号に応答して所定の二次側電圧

を出力する昇降圧部； から構成されることを特徴とする昇降圧型DC/DCコンバータ。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正内容】

【0018】

【課題を解決するための手段】前記のおよびその他の目的は、一次側電圧を受ける入力端子と、所定の二次側電圧を出力する出力端子とを有する昇降圧型DC/DCコンバータであって、一次側電圧を受け、出力端子において所定の二次側電圧が生ずるよう制御する昇降圧制御部であって、電流源および同期クロックを受け、第1のこぎり波を発生する第1のこぎり波発生回路と、電流源および同期クロックを受け、第1のこぎり波に対して少なくとも所定の電圧値シフトした第2のこぎり波を生成する第2のこぎり波発生回路と、二次側電圧と基準電圧を比較した誤差電圧信号および第1のこぎり波を受け、誤差電圧信号と前記第1のこぎり波を比較し、第1比較出力を出力する第1比較器と、誤差電圧信号および第2のこぎり波を受け、誤差電圧信号と前記第2のこぎり波を比較し、第2比較出力を出力する第2比較器と、第1比較器および第2比較器に結合され、第1および第2比較出力に応答する昇降圧部制御信号を生成するDC/DCコンバータ制御回路、から成る昇降圧制御部、ならびに昇降圧部制御信号に応答して所定の二次側電圧を出力する昇降圧部、から構成されることを特徴とする昇降圧型DC/DCコンバータによって実現される。

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.